

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-208753

(P2002-208753A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 S 5/042	6 1 0	H 0 1 S 5/042	6 1 0 5 F 0 7 3
5/22		5/22	

審査請求 有 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2001-4343(P2001-4343)

(22) 出願日 平成13年1月12日 (2001.1.12)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 山口 勤

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 林 伸彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

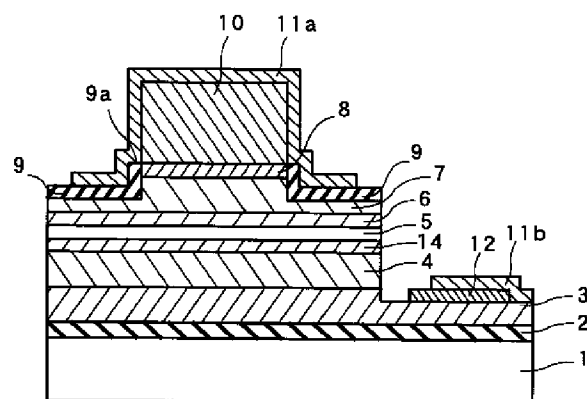
最終頁に続く

(54) 【発明の名称】 半導体発光素子およびその製造方法

(57) 【要約】

【課題】 コンタクト抵抗を低減することが可能な半導体発光素子を提供する。

【解決手段】 リッジ部の少なくとも上面の全域を露出させる開口部 9 a を有する絶縁膜 9 と、リッジ部の側面には接触せずに、リッジ部の露出された上面に接触するように形成された p 型電極 1 0 とを備える。



【特許請求の範囲】

【請求項1】活性層と前記活性層上に形成されたリッジ部とを有する半導体層と、
前記半導体層を覆うように形成されるとともに、前記リッジ部の少なくとも上面の全域を露出させる開口部を有する絶縁膜と、
前記リッジ部の側面には接触せずに、前記リッジ部の露出された上面に接触するように形成された電極層とを備えた、半導体発光素子。

【請求項2】前記電極層は、耐エッチング性を有するオーミック電極材料を含む、請求項1に記載の半導体発光素子。

【請求項3】前記電極層の上面および側面に形成されるパッド電極をさらに備える、請求項1または2に記載の半導体発光素子。

【請求項4】活性層を有する半導体層上に、電極となる層を含むエッチングマスク層を形成する工程と、
前記エッチングマスク層をマスクとして、前記半導体層をエッチングすることによって、前記半導体層にリッジ部を形成する工程とを備えた、半導体発光素子の製造方法。

【請求項5】前記電極となる層を含むエッチングマスク層は、耐エッチング性を有するオーミック電極材料を含む、請求項4に記載の半導体発光素子の製造方法。

【請求項6】前記電極となる層を含むエッチングマスク層は、オーミック電極材料からなる下層と、耐エッチング材料からなる上層とを含む、請求項4に記載の半導体発光素子の製造方法。

【請求項7】前記オーミック電極材料からなる下層は、Ni、Ti、Pt、PdおよびAuからなるグループより選択される少なくとも1つの材料からなる層を含み、
前記耐エッチング材料からなる上層は、Ni、Ti、絶縁膜およびレジストからなるグループより選択される少なくとも1つの材料からなる層を含む、請求項6に記載の半導体発光素子の製造方法。

【請求項8】前記リッジ部を形成する工程の後、前記耐エッチング材料からなる上層を除去する工程をさらに備える、請求項6または7に記載の半導体発光素子の製造方法。

【請求項9】前記半導体層および前記電極となる層を覆うように絶縁膜を形成した後、前記絶縁膜上に表面が平坦化されたレジストを形成する工程と、
前記レジストおよび前記絶縁膜をエッチングすることによって、前記絶縁膜に、前記電極層を露出させる開口部を形成する工程とをさらに備える、請求項4～8のいずれか1項に記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体発光素子およびその製造方法に関し、特に、リッジ部を有する半

導体発光素子およびその製造方法に関する。

【0002】

【従来の技術】従来、青色レーザなどに用いられる半導体発光素子として、リッジ部を有する半導体発光素子が知られている。図19は、従来の半導体発光素子の構造を示した断面図である。

【0003】まず、図19を参照して、従来の半導体発光素子の構造について説明する。この従来の半導体発光素子では、サファイア基板101上に、AlGaInバッファ層102、n型GaInコンタクト層103、n型AlGaInからなるn型クラッド層104、n型GaInガイド層124、活性層105、および、p型GaInガイド層106が順次形成されている。p型GaInガイド層106上には、p型AlGaInからなるp型クラッド層107が形成されている。p型クラッド層107は、凸状の上面を有し、p型クラッド層107の凸状部分上には、p型GaInコンタクト層108が形成されている。このp型クラッド層107の凸状部分およびp型GaInコンタクト層108によって、リッジ部（うね状の突出部）が構成されている。p型クラッド層107上およびp型GaInコンタクト層108の上面の一部上には、SiO₂膜からなる絶縁膜109が形成されている。この絶縁膜109には、p型GaInコンタクト層108の上面の一部を露出させるストライプ状の開口部109aが設けられている。そして、その開口部109aを介してp型GaInコンタクト層108の上面の一部に接触するように、p型電極115が形成されている。SiO₂膜からなる絶縁膜109およびp型電極115上には、絶縁膜109およびp型電極115を覆うように、パッド電極116aが形成されている。

【0004】また、絶縁膜109からn型GaInコンタクト層103までの一部領域が除去されており、そのn型GaInコンタクト層103の露出した表面に、n型電極112が形成されている。さらに、このn型電極112上にもパッド電極116bが形成されている。

【0005】上記のような構造を有する従来の半導体発光素子の電流経路としては、パッド電極116aから、p型電極115、リッジ部を構成するp型GaInコンタクト層108およびp型クラッド層107を経て、p型GaInガイド層106、活性層105、n型GaInガイド層124、n型クラッド層104、n型GaInコンタクト層103、n型電極112、パッド電極116bへと電流が流れる。これにより、リッジ部下方に位置する活性層105の領域において、レーザ光を発生させることができる。

【0006】図20～図25は、図19に示した従来の半導体発光素子の製造プロセスを説明するための断面図である。次に、図19～図25を参照して、従来の半導体発光素子の製造プロセスについて説明する。

【0007】まず、図20に示すように、サファイア基

板101上に、AlGaInバッファ層102、n型GaInコンタクト層103、n型AlGaInからなるn型クラッド層104、n型GaInガイド層124、活性層105、p型GaInガイド層106、p型AlGaInからなるp型クラッド層107およびp型GaInコンタクト層108を連続的に成長させる。その後、p型GaInコンタクト層108上の所定領域にストライプ状のレジスト110を形成する。

【0008】次に、図21に示すように、レジスト110をマスクとして、p型GaInコンタクト層108およびp型クラッド層107をドライエッチングすることにより、ストライプ状のリッジ部を形成する。

【0009】p型GaInコンタクト層108上のレジスト110を除去した後、図22に示すように、p型GaInコンタクト層108およびp型クラッド層107を覆うように、SiO₂からなる絶縁膜109を堆積する。そして、絶縁膜109上の所定領域に、レジスト113を形成する。

【0010】そして、レジスト113をマスクとしてウェットエッチングすることにより、絶縁膜109に、図23に示されるようなストライプ状の開口部109aを形成する。レジスト113を除去した後、絶縁膜109上のp型電極115が形成される領域以外の領域に、レジスト114を形成する。このレジスト114を形成した状態で、開口部109aによって露出されたp型GaInコンタクト層108の表面を洗浄する。

【0011】次に、図24に示すように、p型電極115をレジスト113上、絶縁膜109上、および、開口部109a内に露出したp型GaInコンタクト層108上に堆積する。

【0012】この後、レジスト113を除去することにより、図25に示されるような、パターニングされたp型電極115を形成する。このようなリフトオフ法を用いて、開口部109aを介してp型GaInコンタクト層108に電氣的に接続するp型電極115が形成される。

【0013】最後に、図19に示したように、絶縁膜109からn型GaInコンタクト層103までの領域の一部をエッチングにより除去した後、露出されたn型GaInコンタクト層103の表面上に、n型電極112を形成する。そして、p型電極115上およびn型電極112上に、パッド電極116aおよび116bを形成する。

【0014】このようにして、図19に示した従来の半導体発光素子が完成される。

【0015】

【発明が解決しようとする課題】しかしながら、図19に示した従来の半導体発光素子の構造では、絶縁膜109の開口部109aは、リッジ部（p型GaInコンタクト層108）の上面上の一部分のみを露出するように形

成されている。このため、p型GaInコンタクト層108とp型電極115とは、p型GaInコンタクト層108上面の一部上でのみ接触している。その結果、従来では、p型GaInコンタクト層108とp型電極115とのコンタクト面積が小さくなるので、コンタクト抵抗が大きくなるという問題点があった。

【0016】また、図19に示した従来の半導体発光素子の構造では、発熱源である活性層105からの放熱は、p型GaInガイド層106、p型クラッド層107、p型GaInコンタクト層108、p型電極115およびパッド電極116aを介して行われる。この場合、従来では、上記のように、p型GaInコンタクト層108とp型電極115とのコンタクト面積が小さいため、発熱源である活性層105からの放熱を十分に行うことは困難であった。

【0017】また、従来の半導体発光素子の製造プロセスでは、上記のように、絶縁膜109に開口部109aを形成した後、リフトオフ法を用いてp型電極115を形成していた。この場合、絶縁膜109に開口部109aを形成した後、絶縁膜109上にレジスト114を形成した状態で、開口部109a内に露出したp型GaInコンタクト層108の表面を洗浄する必要がある。この状態で硫酸およびフッ酸などの洗浄力の強い薬品を用いて、p型GaInコンタクト層108の表面を洗浄すると、SiO₂からなる絶縁膜109またはレジスト114が損傷するという不都合が生じる。このため、従来では、p型GaInコンタクト層108の表面は、洗浄力の弱い薬品を用いて洗浄する必要があった。したがって、従来では、p型GaInコンタクト層108の表面の酸化膜や汚染物を十分に洗浄することは困難であった。その結果、p型GaInコンタクト層108の表面の酸化や汚染に起因して、p型電極115とp型GaInコンタクト層108とのコンタクト特性が悪化するので、良好なオーミックコンタクトを得るのが困難であるという問題点があった。

【0018】この発明は、上記のような課題を解決するためになされたものであり、この発明の一つの目的は、コンタクト抵抗を低減することが可能な半導体発光素子およびその製造方法を提供することである。

【0019】この発明のもう一つの目的は、上記の半導体発光素子およびその製造方法において、活性層からの放熱性を向上させることである。

【0020】この発明のさらにもう一つの目的は、上記の半導体発光素子およびその製造方法において、良好なオーミックコンタクトを得ることである。

【0021】

【課題を解決するための手段】この発明の一の局面による半導体発光素子は、活性層と活性層上に形成されたリッジ部とを有する半導体層と、半導体層を覆うように形成されるとともに、リッジ部の少なくとも上面の全域を

露出させる開口部を有する絶縁膜と、リッジ部の側面には接触せずに、リッジ部の露出された上面に接触するように形成された電極層とを備えている。この一の局面による半導体発光素子では、このように、絶縁膜の開口部によりその全域が露出されたリッジ部の上面に接触するように、電極層を設けることによって、リッジ部の上面の一部上に接触するように電極層を設ける場合に比べて、リッジ部と電極層とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することができる。

【0022】上記一の局面による半導体発光素子において、好ましくは、電極層は、耐エッチング性を有するオーミック電極材料を含む。このように構成すれば、リッジ部を形成する際に電極層をエッチングマスクとして用いることができるので、電極層をエッチングマスクとしてリッジ部をエッチングにより形成すれば、リッジ部の上面のほぼ全面に接触する電極層を容易に形成することができる。これにより、リッジ部の上面の一部上に電極層を形成する場合に比べて、リッジ部と電極層とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を容易に低減することができる。

【0023】また、上記の場合、電極層の上面および側面に形成されるパッド電極をさらに備えるようにしてもよい。このように、電極層の上面のみならず側面にもパッド電極を形成するようにすれば、電極層とパッド電極との接触面積が増加する。この電極層とパッド電極との接触面積の増加と、上記したリッジ部と電極層とのコンタクト面積の増加とによって、発熱源である活性層からの放熱性を向上させることができる。

【0024】この発明の他の局面による半導体発光素子の製造方法は、活性層を含む半導体層上に、電極となる層を含むエッチングマスク層を形成する工程と、そのエッチングマスク層をマスクとして、半導体層をエッチングすることによって、半導体層にリッジ部を形成する工程とを備えている。

【0025】この他の局面による半導体発光素子の製造方法では、上記のように、電極となる層を含むエッチングマスク層をマスクとして、半導体層をエッチングしてリッジ部を形成することによって、リッジ部の上面のほぼ全面に接触する電極となる層が形成されるので、リッジ部の上面の一部上に接触する電極層を形成する場合に比べて、リッジ部と電極層とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することが可能な半導体発光素子を容易に形成することができる。また、十分な洗浄が可能な半導体層上に、電極となる層を含むエッチングマスク層を形成した後は、リッジ部の上面が露出することがないので、後の工程において、リッジ部の表面が酸化されたり、汚染されたりするのを有効に防止することができる。これにより、リッジ部の表面の酸化や汚染に起因して電極となる層とリッ

ジ部とのコンタクト特性が悪化するのを防止することができる。その結果、電極となる層とリッジ部との良好なオーミックコンタクトを得ることができる。また、電極となる層を含むエッチングマスク層をマスクとして、半導体層をエッチングしてリッジ部を形成することによって、電極となる層をリッジ部の上面上に自己整合的に形成することができる。

【0026】上記他の局面による半導体発光素子の製造方法において、好ましくは、電極となる層を含むエッチングマスク層は、耐エッチング性を有するオーミック電極材料を含む。このように構成すれば、リッジ部を形成する際に用いたエッチングマスク層をそのまま電極層として用いることができるので、リッジ部の上面のほぼ全面に接触する電極層を簡単な製造プロセスで形成することができる。

【0027】上記他の局面による半導体発光素子の製造方法において、好ましくは、電極となる層を含むエッチングマスク層は、オーミック電極材料からなる下層と、耐エッチング材料からなる上層とを含む。このように構成することによって、エッチングマスク層をマスクとしてエッチングした後に、上層を除去すれば、下層のオーミック電極材料のみからなる電極層を容易に形成することができる。また、この製造方法では、下層に耐エッチング性を持たせる必要がないので、下層を構成するオーミック電極材料を選択する際に電極特性のみを考慮して選択することができる。これにより、電極特性に優れた電極層を形成することができる。

【0028】上記の場合、好ましくは、オーミック電極材料からなる下層は、Ni、Ti、Pt、PdおよびAuからなるグループより選択される少なくとも1つの材料からなる層を含み、耐エッチング材料からなる上層は、Ni、Ti、絶縁膜およびレジストからなるグループより選択される少なくとも1つの材料からなる層を含む。このように構成すれば、容易に、低抵抗で、かつ、熱伝導性に優れた下層からなる電極層を得ることができる。なお、この場合、リッジ部を形成する工程の後、耐エッチング材料からなる上層を除去する工程をさらに備えていてもよい。このように構成すれば、オーミック電極材料の下層のみからなる電極層を容易に形成することができる。

【0029】上記他の局面による半導体発光素子の製造方法において、好ましくは、半導体層および電極となる層を覆うように絶縁膜を形成した後、絶縁膜上に表面が平坦化されたレジストを形成する工程と、レジストおよび絶縁膜をエッチングすることによって、絶縁膜に、電極層を露出させる開口部を形成する工程とをさらに備える。このように構成すれば、電極に自己整合的に絶縁膜の開口部を形成することができる。

【0030】

【発明の実施形態】以下、本発明の実施形態を図面に基

づいて説明する。

【0031】（第1実施形態）図1は、本発明の第1実施形態による半導体発光素子の構造を示した断面図である。

【0032】まず、図1を参照して、第1実施形態による半導体発光素子の構造について説明する。この第1実施形態では、サファイア基板1上に、AlGaInバッファ層2、n型GaInコンタクト層3、n型AlGaInからなるn型クラッド層4、n型GaInガイド層14、活性層5、および、p型GaInガイド層6が順次形成されている。p型GaInガイド層6上には、凸状の上面を有するp型AlGaInからなるp型クラッド層7が形成されている。p型クラッド層7の凸状部分上には、p型GaInコンタクト層8が形成されている。このp型クラッド層7の凸状部分およびp型GaInコンタクト層8によって、リッジ部が構成されている。

【0033】ここで、第1実施形態では、リッジ部を構成するp型クラッド層7およびp型GaInコンタクト層8の側面と、リッジ部以外のp型クラッド層7の上面とを覆うように、約200nmの厚みを有するSiO₂からなる絶縁膜9が形成されている。この絶縁膜9は、p型GaInコンタクト層8の上面の全域を露出させる開口部9aを有するように形成されている。

【0034】また、第1実施形態では、p型GaInコンタクト層8上には、p型GaInコンタクト層8の上面のほぼ全面に接触するように、約500nmの厚みを有するp型電極10が形成されている。このp型電極10は、リッジ部の側面には接触せずに、リッジ部のp型GaInコンタクト層8の上面のみに接触するように形成されている。また、p型電極10は、オーミック電極材料であるニッケル（Ni）からなるとともに、リッジ部とのオーミックコンタクトをとるために設けられている。なお、p型電極10は、本発明の「電極層」の一例である。

【0035】p型電極10の上面および側面と、絶縁膜9の上面および側面とを覆うように、パッド電極11aが形成されている。このパッド電極11aは、約100nmの厚みを有するチタン（Ti）、約100nmの厚みを有する白金（Pt）および約300nmの厚みを有する金（Au）が積層された構造を有する。従って、パッド電極11aは、約500nmの厚みを有する。このパッド電極11aは、外部からp型電極10に電気を供給するために設けられている。

【0036】また、絶縁膜9からn型GaInコンタクト層3までの一部領域が除去されており、そのn型GaInコンタクト層3の露出した表面上に、n型電極12が形成されている。さらに、このn型電極12上にもパッド電極11bが形成されている。このパッド電極11bは、外部からn型電極12に電気を供給するために設けられている。

【0037】上記のような構造を有する第1実施形態の半導体発光素子の電流経路としては、パッド電極11aから、p型電極10、リッジ部を構成するp型GaInコンタクト層8およびp型クラッド層7を経て、p型GaInガイド層6、活性層5、n型GaInガイド層14、n型クラッド層4、n型GaInコンタクト層3、n型電極12、パッド電極11bへと電流が流れる。これにより、リッジ部の下方に位置する活性層5の領域において、レーザ光を発生させることができる。

【0038】また、上記した第1実施形態の半導体発光素子において、発熱源である活性層5からの放熱は、p型GaInガイド層6、p型クラッド層7、p型GaInコンタクト層8、p型電極10およびパッド電極11aを介して行われる。

【0039】第1実施形態では、上記のように、p型GaInコンタクト層8の上面のほぼ全面に接触するように、p型電極10を形成することによって、従来のp型GaInコンタクト層108（図19参照）の上面の一部上のみに接触するp型電極115を形成する場合に比べて、p型GaInコンタクト層8とp型電極10とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することができる。

【0040】また、第1実施形態では、上記のように、p型GaInコンタクト層8の上面のほぼ全面に接触するようにp型電極10を形成するとともに、p型電極10の上面および側面の絶縁膜9を除去することにより、パッド電極11aをp型電極10の上面および側面を覆うように形成する。これによって、p型GaInコンタクト層8とp型電極10とのコンタクト面積を大きくすることができるとともに、p型電極10とパッド電極11aとの接触面積を大きくすることができる。それによって、リッジ部からp型電極10への放熱、および、p型電極10からパッド電極11aへの放熱を良好に行うことができる。その結果、発熱源である活性層5からの放熱性を向上させることができる。

【0041】図2～図6は、図1に示した第1実施形態による半導体発光素子の製造プロセスを説明するための断面図である。次に、図1～図6を参照して、第1実施形態の半導体発光素子の製造プロセスについて説明する。

【0042】まず、図2に示すように、サファイア基板1上に、MOCVD法（有機金属気相成長法）などの結晶成長法を用いて、AlGaInバッファ層2、n型GaInコンタクト層3、n型AlGaInからなるn型クラッド層4、n型GaInガイド層14、活性層5、p型GaInからなるp型GaInガイド層6、p型AlGaInからなるp型クラッド層7、および、p型GaInコンタクト層8を順次連続的に形成する。

【0043】次に、p型GaInコンタクト層8の上面を、硫酸と過酸化水素水との混合液で洗浄した後、さら

に、希釈フッ酸溶液で洗浄する。そして、その洗浄したp型Ga_{0.5}N_{0.5}コンタクト層8上に、オーミック電極材料であるとともに、耐エッチング性を有するNi層（図示せず）を約500nmの厚みで堆積させる。そのNi層上にレジストパターン（図示せず）を形成し、これをマスクとしてリン酸系のエッチング液を用いてウェットエッチングすることにより、図2に示されるような、幅約2μmのストライプ状のNiからなるp型電極10を形成する。この後、レジストを除去する。

【0044】次に、図3に示すように、p型電極10をマスクとして、p型Ga_{0.5}N_{0.5}コンタクト層8およびp型クラッド層7を200nm～600nmの厚み分だけドライエッチングする。これにより、p型クラッド層7の凸状部分とp型Ga_{0.5}N_{0.5}コンタクト層8とからなるリッジ部が形成される。

【0045】次に、図4に示すように、プラズマCVD法などを用いて、p型クラッド層7、p型Ga_{0.5}N_{0.5}コンタクト層8およびp型電極10を覆うように、SiO₂からなる絶縁膜9を約200nmの厚みで形成する。そして、絶縁膜9上に、絶縁膜9の全体を埋め込むように、平坦化レジスト13を塗布する。

【0046】この後、図5に示すように、CF₄系のエッチングガスを用いるRIE（Reactive Ion Etching）法によって、平坦化レジスト13および絶縁膜9を、絶縁膜9の上面がp型電極10の底面高さに到達するまで除去する。このようにして、絶縁膜9に、p型電極10の上面および側面を露出させる開口部9aが自己整合的に形成される。この後、平坦化レジスト13を除去することによって、図6に示されるような構造となる。

【0047】最後に、図1に示したように、絶縁膜9からn型Ga_{0.5}N_{0.5}コンタクト層3に至るまでの一部の領域をエッチングにより除去することによって、n型Ga_{0.5}N_{0.5}コンタクト層3の表面の一部を露出させる。そのn型Ga_{0.5}N_{0.5}コンタクト層3の露出した表面上に、n型電極12を形成する。そして、絶縁膜9上およびp型電極10上と、n型電極12上とに、EB（Electron Beam）法を用いて、パッド電極11aおよび11bを形成する。このパッド電極11aおよび11bは、約100nmの厚みを有するTi、約100nmの厚みを有するPtおよび約300nmの厚みを有するAuからなる積層構造を有するように形成する。

【0048】このようにして、図1に示した第1実施形態による半導体発光素子が完成される。

【0049】第1実施形態の製造プロセスでは、上記のように、p型電極材料であるとともに、耐エッチング性を有するNiをマスクとして、p型クラッド層7およびp型Ga_{0.5}N_{0.5}コンタクト層8をエッチングしてリッジ部を形成することによって、p型Ga_{0.5}N_{0.5}コンタクト層8の上面のほぼ全面に接触するように、p型電極10を形成す

ることができる。それによって、従来のp型Ga_{0.5}N_{0.5}コンタクト層108（図19参照）の上面の一部上のみに接触するp型電極115を形成する場合に比べて、p型Ga_{0.5}N_{0.5}コンタクト層8とp型電極10とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することが可能な半導体発光素子を容易に形成することができる。

【0050】また、第1実施形態の製造プロセスでは、上記のように、p型電極材料であるとともに、耐エッチング性を有するNiを、p型クラッド層7およびp型Ga_{0.5}N_{0.5}コンタクト層8をエッチングするためのエッチングマスクとして用いた後に、そのままp型電極10として用いることができるので、p型Ga_{0.5}N_{0.5}コンタクト層8の上面のほぼ全面に接触するp型電極10を簡単な製造プロセスで形成することができる。

【0051】また、第1実施形態の製造プロセスでは、上記のように、硫酸と過酸化水素との混合液および希釈フッ酸溶液を用いて十分に洗浄したp型Ga_{0.5}N_{0.5}コンタクト層8の上面上に、p型電極10の材料であるNiからなるエッチングマスクを形成した後は、p型Ga_{0.5}N_{0.5}コンタクト層8の上面が露出することがない。それによって、後の工程において、絶縁膜9に開口部9aを形成する場合にも、洗浄したp型Ga_{0.5}N_{0.5}コンタクト層8の表面が酸化されたり、汚染されたりすることがない。これにより、p型Ga_{0.5}N_{0.5}コンタクト層8の表面の酸化や汚染に起因してp型Ga_{0.5}N_{0.5}コンタクト層8とp型電極10とのコンタクト特性が悪化するのを有効に防止することができる。その結果、p型Ga_{0.5}N_{0.5}コンタクト層8とp型電極10との良好なオーミックコンタクトを得ることが可能な半導体発光素子を容易に形成することができる。

【0052】また、第1実施形態の製造プロセスでは、p型電極材料であるNiをマスクとして、p型クラッド層7およびp型Ga_{0.5}N_{0.5}コンタクト層8をドライエッチングしてリッジ部を形成することによって、p型電極10をリッジ部の上面上に自己整合的に形成することができる。

【0053】また、第1実施形態の製造プロセスでは、上記のように、p型電極10を約500nmの大きい厚みで形成することによって、p型電極10の上面の高さが高くなる。これにより、p型電極10を覆う平坦化レジスト13を形成した場合に、リッジ部以外の領域上に形成された平坦化レジスト13の厚みを厚く形成することができる。それにより、リッジ部以外の領域上に位置する平坦化レジスト13の厚みが薄い場合のように、エッチングによってリッジ部以外の領域上に位置する平坦化レジスト13が除去されて、リッジ部以外の領域上に位置する絶縁膜9が除去されるという不都合を防止することができる。つまり、第1実施形態の製造プロセスでは、p型電極10の厚みを大きくすることによって、平坦化レジスト13を用いる絶縁膜開口プロセスを容易に

行うことができる。

【0054】（第2実施形態）図7は、本発明の第2実施形態による半導体発光素子を示した断面図である。

【0055】図7を参照して、第2実施形態による半導体発光素子の構造について説明する。この第2実施形態では、図1に示した第1実施形態の半導体発光素子と同様に、リッジ部を構成するp型クラッド層7およびp型Ga_{0.5}N_{0.5}コンタクト層8の側面と、リッジ部以外のp型クラッド層7の上面とを覆うように、約200nmの厚みを有するSiO₂からなる絶縁膜9が形成されている。この絶縁膜9は、p型Ga_{0.5}N_{0.5}コンタクト層8の上面の全域を露出させる開口部9aを有するように形成されている。

【0056】また、第2実施形態では、図1に示した第1実施形態の約500nmの厚みを有するNiからなるp型電極10の代わりに、約20nmの厚みを有するPdおよび約50nmの厚みを有するAuの積層膜からなるp型電極20を用いる。このp型電極20は、第1実施形態と同様、リッジ部の側面には接触せずに、リッジ部のp型Ga_{0.5}N_{0.5}コンタクト層8の上面のほぼ全面に接触するように形成されている。また、オーミック電極材料であるPdは、p型Ga_{0.5}N_{0.5}コンタクト層8に対して低いコンタクト抵抗率を示し、Auは、第1実施形態のNiに比べて低抵抗率であるとともに、高い熱伝導率を有する。なお、p型電極20は、本発明の「電極層」の一例である。この第2実施形態のその他の構造は、図1に示した第1実施形態の構造とはほぼ同様である。

【0057】この第2実施形態では、第1実施形態と異なり、p型電極20を、Niに比べて低コンタクト抵抗のオーミック電極材料であるPd、および、低抵抗率で高い熱伝導率を有するAuを用いて形成することによって、第1実施形態に比べてさらにコンタクト抵抗を低減することができるとともに、活性層5からの放熱性を向上させることができる。

【0058】また、第2実施形態では、上記第1実施形態と同様、p型Ga_{0.5}N_{0.5}コンタクト層8の上面のほぼ全面に接触するようにp型電極20を形成するとともに、パッド電極11aをp型電極20の上面および側面を覆うように形成することによって、p型Ga_{0.5}N_{0.5}コンタクト層8とp型電極20とのコンタクト面積を大きくすることができるとともに、p型電極20とパッド電極11aとの接触面積を大きくすることができる。それによって、第1実施形態と同様、リッジ部からp型電極20への放熱、および、p型電極20からパッド電極11aへの放熱を良好に行うことができる。その結果、発熱源である活性層5からの放熱性を向上させることができる。

【0059】また、第2実施形態では、上記第1実施形態と同様、p型Ga_{0.5}N_{0.5}コンタクト層8の上面のほぼ全面に接触するように、p型電極20を形成することによって、従来のp型Ga_{0.5}N_{0.5}コンタクト層108（図19参

照）の上面の一部上のみに接触するp型電極115を形成する場合に比べて、p型Ga_{0.5}N_{0.5}コンタクト層8とp型電極20とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することができる。

【0060】図8～図12は、図7に示した第2実施形態の半導体発光素子の製造プロセスを説明するための断面図である。以下、図7～図12を参照して、第2実施形態の半導体発光素子の製造プロセスについて説明する。

【0061】まず、図8に示すように、サファイア基板1上に、MOCVD法（有機金属気相成長法）などの結晶成長法を用いて、AlGa_{0.5}N_{0.5}バッファ層2、n型Ga_{0.5}N_{0.5}コンタクト層3、n型AlGa_{0.5}N_{0.5}からなるn型クラッド層4、n型Ga_{0.5}N_{0.5}ガイド層14、活性層5、p型Ga_{0.5}N_{0.5}からなるp型Ga_{0.5}N_{0.5}ガイド層6、p型AlGa_{0.5}N_{0.5}からなるp型クラッド層7、および、p型Ga_{0.5}N_{0.5}コンタクト層8を順次連続的に形成する。

【0062】次に、p型Ga_{0.5}N_{0.5}コンタクト層8の上面を、硫酸と過酸化水素水との混合液で洗浄した後、さらに、希釈フッ酸溶液で洗浄する。そして、その洗浄したp型Ga_{0.5}N_{0.5}コンタクト層8上の全面に、PdおよびAuの積層膜（図示せず）を形成する。このPdおよびAuの積層膜は、Pdを約20nmの厚みで堆積した後、Auを約50nmの厚みで堆積することによって形成する。このPdおよびAuの積層膜の所定領域上に、レジスト21を形成し、このレジスト21をマスクとして、CF₄系のエッチングガスを用いるRIE法によって、PdおよびAuの積層膜をエッチングする。それによって、幅約2μmのストライプ状のPdおよびAuの積層膜からなるp型電極20を形成する。

【0063】次に、図9に示すように、レジスト21およびp型電極20からなるエッチングマスク層をマスクとして、p型Ga_{0.5}N_{0.5}コンタクト層8およびp型クラッド層7を200nm～600nmの厚み分だけドライエッチングする。これにより、p型クラッド層7の凸状部分とp型Ga_{0.5}N_{0.5}コンタクト層8とからなるリッジ部が形成される。

【0064】次に、図10に示すように、EB法などを用いて、p型クラッド層7、p型Ga_{0.5}N_{0.5}コンタクト層8、p型電極20およびレジスト21を覆うように、SiO₂からなる絶縁膜9を約200nmの厚みで形成する。そして、絶縁膜9上に、絶縁膜9の全体を埋め込むように平坦化レジスト13を塗布する。

【0065】この後、図11に示すように、CF₄系のエッチングガスを用いるRIE法によって、平坦化レジスト13および絶縁膜9を、絶縁膜9の上面がp型電極20の底面高さに到達するまで除去する。このようにして、絶縁膜9に、p型電極20の側面を露出させる開口部9aが自己整合的に形成される。この後、平坦化レジ

スト１３およびレジスト２１を除去する。これにより、図１２に示すように、ｐ型電極２０の上面が露出される。

【００６６】最後に、図７に示したように、絶縁膜９からｎ型ＧａＮコンタクト層３に至るまでの一部の領域をエッチングにより除去することによって、ｎ型ＧａＮコンタクト層３の表面の一部を露出させる。そのｎ型ＧａＮコンタクト層３の露出した表面上に、ｎ型電極１２を形成する。そして、絶縁膜９上およびｐ型電極２０を覆うとともに、ｎ型電極１２上に、ＥＢ法を用いて、パッド電極１１ａおよび１１ｂを形成する。このパッド電極１１ａおよび１１ｂは、約１００ｎｍの厚みを有するＴｉ、約１００ｎｍの厚みを有するＰｔおよび約３００ｎｍの厚みを有するＡｕからなる積層構造を有するように形成する。

【００６７】このようにして、図７に示した第２実施形態による半導体発光素子が完成される。

【００６８】上記した第２実施形態の製造プロセスでは、第１実施形態と異なり、ｐ型クラッド層７およびｐ型ＧａＮコンタクト層８をエッチングする際のエッチングマスクとして、レジスト２１およびｐ型電極２０からなるエッチングマスク層を用いる。このようなエッチングマスク層をマスクとしてエッチングした後に、エッチングマスク層の上層のレジスト２１を除去することによって、下層のＰｄおよびＡｕからなるｐ型電極２０を容易に形成することができる。また、この第２実施形態の製造プロセスでは、エッチングマスク層の下層（ｐ型電極２０）に耐エッチング性を持たせる必要がないので、下層（ｐ型電極２０）を構成するオーミック電極材料を選択する際に、電極特性のみを考慮して選択することができる。その結果、電極特性に優れたｐ型電極２０を形成することができる。

【００６９】また、第２実施形態の製造プロセスでは、上記のように、レジスト２１およびｐ型電極２０からなるエッチングマスク層をマスクとして、ｐ型クラッド層７およびｐ型ＧａＮコンタクト層８をエッチングしてリッジ部を形成することによって、第１実施形態と同様、ｐ型ＧａＮコンタクト層８の上面のほぼ全面に接触するように、ｐ型電極２０を形成することができる。それによって、従来のｐ型ＧａＮコンタクト層１０８（図１９参照）の上面の一部上のみに接触するｐ型電極１１５を形成する場合に比べて、ｐ型ＧａＮコンタクト層８とｐ型電極２０とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することが可能な半導体発光素子を容易に形成することができる。

【００７０】また、第２実施形態の製造プロセスでは、上記のように、硫酸と過酸化水素との混合液および希釈フッ酸溶液を用いて十分に洗浄したｐ型ＧａＮコンタクト層８の上面上に、ｐ型電極２０の材料であるＰｄおよびＡｕからなる積層膜を形成した後は、ｐ型ＧａＮコン

タクト層８の上面が露出することがない。それによって、第１実施形態と同様、後の工程において、絶縁膜９に開口部９ａを形成する場合にも、洗浄したｐ型ＧａＮコンタクト層８の表面が酸化されたり、汚染されたりすることがない。その結果、ｐ型ＧａＮコンタクト層８とｐ型電極２０との良好なオーミックコンタクトを得ることが可能な半導体発光素子を容易に形成することができる。

【００７１】また、第２実施形態の製造プロセスでは、レジスト２１およびｐ型電極２０からなるエッチングマスク層をマスクとして、ｐ型クラッド層７およびｐ型ＧａＮコンタクト層８をエッチングしてリッジ部を形成することによって、第１実施形態と同様、ｐ型電極２０をリッジ部の上面上に自己整合的に形成することができる。

【００７２】（第３実施形態）図１３は、本発明の第３実施形態による半導体発光素子を示した断面図である。

【００７３】図１３を参照して、第３実施形態による半導体発光素子の構造について説明する。この第３実施形態では、第１および第２実施形態の半導体発光素子と同様に、リッジ部を構成するｐ型クラッド層７およびｐ型ＧａＮコンタクト層８の側面と、リッジ部以外のｐ型クラッド層７の上面とを覆うように、約２００ｎｍの厚みを有するＳｉＯ₂からなる絶縁膜９が形成されている。この絶縁膜９は、ｐ型ＧａＮコンタクト層８の上面の全域を露出させる開口部９ａを有するように形成されている。

【００７４】また、第３実施形態では、ＰｄおよびＡｕからなるｐ型電極２０の上面のほぼ全面に、約５００ｎｍの厚みを有するＮｉからなるｐ型電極３０が形成されている。このｐ型電極２０および３０によって、ｐ型電極層３１が構成されている。つまり、第３実施形態では、第２実施形態のＰｄおよびＡｕからなるｐ型電極上に、第１実施形態のＮｉからなるｐ型電極を形成した構造を有する。なお、ｐ型電極層３１は、本発明の「電極層」の一例である。この第３実施形態のその他の構造は、図１に示した第１実施形態および図７に示した第２実施形態の構造とほぼ同様である。

【００７５】第３実施形態では、第１および第２実施形態と同様、ｐ型ＧａＮコンタクト層８の上面のほぼ全面に接触するように、ｐ型電極層３１を形成することによって、従来のｐ型ＧａＮコンタクト層１０８（図１９参照）の上面の一部上のみに接触するｐ型電極１１５を形成する場合に比べて、ｐ型ＧａＮコンタクト層８とｐ型電極層３１とのコンタクト面積を大きくすることができる。その結果、コンタクト抵抗を低減することができる。

【００７６】また、第３実施形態では、第１および第２実施形態と同様、ｐ型ＧａＮコンタクト層８の上面のほぼ全面に接触するようにｐ型電極層３１を形成すると

もに、パッド電極11aをp型電極層31の上面および側面を覆うように形成することによって、p型GaNコンタクト層8とp型電極層31とのコンタクト面積を大きくすることができるとともに、p型電極層31とパッド電極11aとの接触面積を大きくすることができる。それによって、第1および第2実施形態と同様、リッジ部からp型電極層31への放熱、および、p型電極層31からパッド電極11aへの放熱を良好に行うことができる。その結果、発熱源である活性層5からの放熱性を向上させることができる。

【0077】図14～図18は、図13に示した第3実施形態の半導体発光素子の製造プロセスを説明するための断面図である。以下、図13～図18を参照して、第3実施形態の半導体発光素子の製造プロセスについて説明する。

【0078】まず、図14に示すように、サファイア基板1上に、AlGaNバッファ層2、n型GaNコンタクト層3、n型AlGaNからなるn型クラッド層4、n型GaNガイド層14、活性層5、p型GaNからなるp型GaNガイド層6、p型AlGaNからなるp型クラッド層7、および、p型GaNコンタクト層8を順次連続的に形成する。

【0079】次に、p型GaNコンタクト層8の上面を、硫酸と過酸化水素水との混合液で洗浄した後、さらに、希釈フッ酸溶液で洗浄する。そして、その洗浄したp型GaNコンタクト層8上の全面に、PdおよびAuの積層膜（図示せず）を形成する。このPdおよびAuの積層膜は、Pdを約20nmの厚みで堆積した後、Auを約50nmの厚みで堆積することによって形成する。このPdおよびAuの積層膜上に、Ni層（図示せず）を約500nmの厚みで堆積する。このNi層上の所定領域にレジスト（図示せず）を形成し、これをマスクとしてリン酸系のエッチング液を用いてウェットエッチングすることにより、幅約2μmのストライプ状のNiからなるp型電極30を形成する。その後、レジストを除去する。

【0080】Niからなるp型電極30をマスクとして、CF₄系のエッチングガスを用いるRIE法によって、PdおよびAuの積層膜をエッチングする。それによって、幅約2μmのストライプ状のPdおよびAuの積層膜からなるp型電極20を形成する。このようにして、図14に示すような、p型電極20および30からなるp型電極層31を形成する。

【0081】次に、図15に示すように、p型電極層31からなるエッチングマスク層をマスクとして、p型GaNコンタクト層8およびp型クラッド層7を200nm～600nmの厚み分だけエッチングする。これにより、p型クラッド層7の凸状部分とp型GaNコンタクト層8とからなるリッジ部が形成される。

【0082】次に、図16に示すように、Niからなる

p型電極30を残したまま、プラズマCVD法などを用いて、p型クラッド層7、p型GaNコンタクト層8およびp型電極層31を覆うように、SiO₂からなる絶縁膜9を約200nmの厚みで形成する。そして、絶縁膜9上に、絶縁膜9全体を埋め込むように平坦化レジスト13を塗布する。

【0083】この後、図17に示すように、CF₄系のエッチングガスを用いるRIE法によって、平坦化レジスト13および絶縁膜9を、絶縁膜9の上面がp型電極20の底面高さに到達するまで除去する。このようにして、絶縁膜9に、p型電極層31の上面および側面を露出させる開口部9aが自己整合的に形成される。この後、平坦化レジスト13を除去することによって、図18に示されるような構造となる。

【0084】最後に、図13に示したように、絶縁膜9からn型GaNコンタクト層3に至るまでの一部の領域をエッチングにより除去することによって、n型GaNコンタクト層3の表面の一部を露出させる。そのn型GaNコンタクト層3の露出した表面上に、n型電極12を形成する。そして、絶縁膜9上およびp型電極層31を覆うとともに、n型電極12上に、EB法を用いて、パッド電極11aおよび11bを形成する。このパッド電極11aおよび11bは、約100nmの厚みを有するTi、約100nmの厚みを有するPtおよび約300nmの厚みを有するAuからなる積層構造を有するように形成する。

【0085】このようにして、図13に示した第3実施形態による半導体発光素子が完成される。

【0086】上記した第3実施形態の製造プロセスでは、第2実施形態と異なり、p型クラッド層7およびp型GaNコンタクト層8をエッチングする際のエッチングマスク層の上層を、オーミック電極材料であるNiからなるp型電極30を用いて形成する。それによって、p型電極層31をエッチングマスク層としてエッチングした後に、エッチングマスク層の上層のp型電極30を除去する必要がない。それによって、エッチングマスク層の上層を除去する工程が不要となる。その結果、製造プロセスを簡略化することができる。

【0087】また、第3実施形態の製造プロセスでは、上記のように、p型電極層31からなるエッチングマスク層をマスクとして、p型クラッド層7およびp型GaNコンタクト層8をエッチングしてリッジ部を形成することによって、第1および第2実施形態と同様、p型GaNコンタクト層8の上面のほぼ全面に接触するように、p型電極層31を形成することができる。その結果、コンタクト抵抗を低減することが可能な半導体発光素子を容易に形成することができる。

【0088】また、第3実施形態の製造プロセスでは、上記したように、p型クラッド層7およびp型GaNコンタクト層8をエッチングする際に、p型電極20およ

び30からなるp型電極層31をエッチングマスク層として用いる。このように、耐エッチング性を有するp型電極30を、エッチングマスク層の上層として用いることによって、下層のp型電極20に耐エッチング性を持たせる必要がない。それによって、第2実施形態と同様、下層を構成するオーミック電極材料を選択する際に、電極特性のみを考慮して選択することができる。その結果、電極特性に優れたp型電極20を形成することができる。

【0089】また、第3実施形態の製造プロセスでは、第1および第2実施形態と同様、硫酸と過酸化水素との混合液および希釈フッ酸溶液を用いて十分に洗浄したp型GaNコンタクト層8の上面上に、p型電極20の材料であるPdおよびAuからなる積層膜を形成した後は、p型GaNコンタクト層8の上面が露出することがない。その結果、第1および第2実施形態と同様、p型GaNコンタクト層8とp型電極20との良好なオーミックコンタクトを得ることが可能な半導体発光素子を容易に形成することができる。

【0090】また、第3実施形態の製造プロセスでは、p型電極層31からなるエッチングマスク層をマスクとして、p型クラッド層7およびp型GaNコンタクト層8をエッチングしてリッジ部を形成することによって、第1および第2実施形態と同様、p型電極層31をリッジ部の上面上に自己整合的に形成することができる。

【0091】また、第3実施形態の製造プロセスでは、p型電極30を約500nmの大きい厚みで形成することによって、p型電極30の上面の高さが高くなる。これにより、p型電極層31を覆う平坦化レジスト13を形成した場合に、リッジ部以外の領域上に形成された平坦化レジスト13の厚みを厚く形成することができる。それにより、リッジ部以外の領域上に位置する平坦化レジスト13の厚みが薄い場合のように、エッチングによってリッジ部以外の領域上に位置する平坦化レジスト13が除去されて、リッジ部以外の領域上に位置する絶縁膜9が除去されるという不都合を防止することができる。つまり、第3実施形態の製造プロセスでは、p型電極30の厚みを大きくすることによって、平坦化レジスト13を用いる絶縁膜開口プロセスを容易に行うことができる。

【0092】なお、今回開示された実施形態は、すべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0093】たとえば、上記第1～第3実施形態では、絶縁膜9をRIE法を用いてエッチングする際に、絶縁膜9の上面がp型電極の底面高さに到達するまで除去したが、本発明はこれに限らず、絶縁膜9の上面が、p型

電極の上面の高さより低く、リッジ部を形成するp型クラッド層7の下面より高い領域の範囲内にある構造であれば、上記実施形態と同様の効果を得ることができる。

【0094】また、第1実施形態では、p型電極10をNiによって形成したが、本発明はこれに限らず、オーミック電極材料であるとともに耐エッチング性を有する材料であれば、他の材料を用いても、同様の効果を得ることができる。たとえば、Tiなどを用いてもよい。

【0095】また、第2および第3実施形態では、エッチングマスク層の下層としてのp型電極20をPdおよびAuを用いて形成したが、本発明はこれに限らず、TiまたはPtなどのオーミック電極材料を用いて形成しても、同様の効果を得ることができる。また、エッチングマスク層の下層として、Niを用いてもよい。

【0096】また、第2または第3実施形態では、p型電極20、p型クラッド層7およびp型GaNコンタクト層8をエッチングする際に、エッチングマスク層の上層としてレジスト21またはNiを用いたが、本発明はこれに限らず、SiO₂などの絶縁膜またはTiなどの耐エッチング性を有する材料を用いてもよい。

【0097】

【発明の効果】以上のように、本発明によれば、コンタクト抵抗を低減することが可能な半導体発光素子およびその製造方法を提供することができる。また、活性層からの放熱性を向上させることができるとともに、良好なオーミックコンタクトを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体発光素子を示した断面図である。

【図2】図1に示した第1実施形態の半導体発光素子の製造プロセスを説明するための断面図である。

【図3】図1に示した第1実施形態の半導体発光素子の製造プロセスを説明するための断面図である。

【図4】図1に示した第1実施形態の半導体発光素子の製造プロセスを説明するための断面図である。

【図5】図1に示した第1実施形態の半導体発光素子の製造プロセスを説明するための断面図である。

【図6】図1に示した第1実施形態の半導体発光素子の製造プロセスを説明するための断面図である。

【図7】本発明の第2実施形態による半導体発光素子を示した断面図である。

【図8】図7に示した第2実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図9】図7に示した第2実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図10】図7に示した第2実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図11】図7に示した第2実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図12】図7に示した第2実施形態による半導体発光

素子の製造プロセスを説明するための断面図である。

【図13】本発明の第3実施形態による半導体発光素子を示した断面図である。

【図14】図13に示した第3実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図15】図13に示した第3実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図16】図13に示した第3実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図17】図13に示した第3実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図18】図13に示した第3実施形態による半導体発光素子の製造プロセスを説明するための断面図である。

【図19】従来の半導体発光素子を示した断面図である。

【図20】図19に示した従来の半導体発光素子の製造プロセスを説明するための断面図である。

【図21】図19に示した従来の半導体発光素子の製造プロセスを説明するための断面図である。

【図22】図19に示した従来の半導体発光素子の製造

プロセスを説明するための断面図である。

【図23】図19に示した従来の半導体発光素子の製造プロセスを説明するための断面図である。

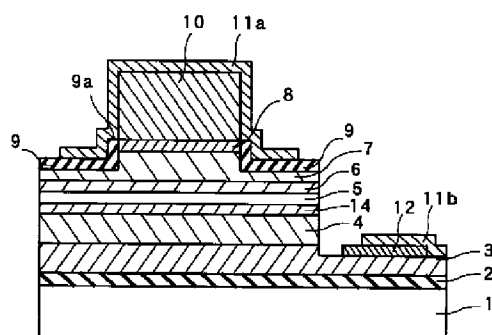
【図24】図19に示した従来の半導体発光素子の製造プロセスを説明するための断面図である。

【図25】図19に示した従来の半導体発光素子の製造プロセスを説明するための断面図である。

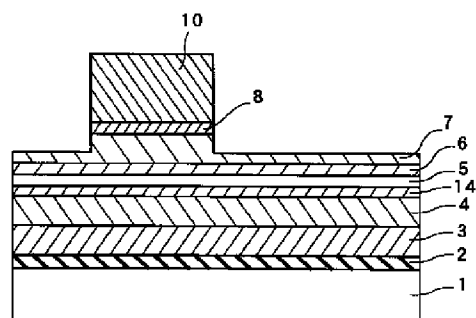
【符号の説明】

- 5 活性層（半導体層）
- 7 p型クラッド層（半導体層）
- 8 p型コンタクト層（半導体層）
- 9 絶縁膜
- 9a 開口部
- 10 p型電極（電極層）
- 11a、11b パッド電極
- 13 平坦化レジスト
- 20 p型電極（電極層）
- 21 レジスト
- 30 p型電極（電極層）
- 31 p型電極層（電極層）

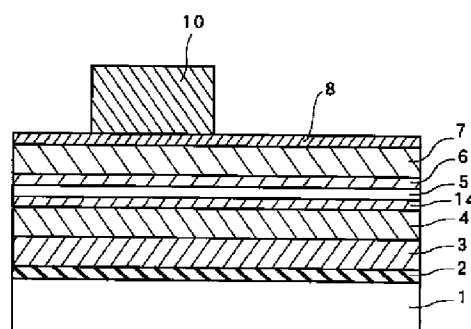
【図1】



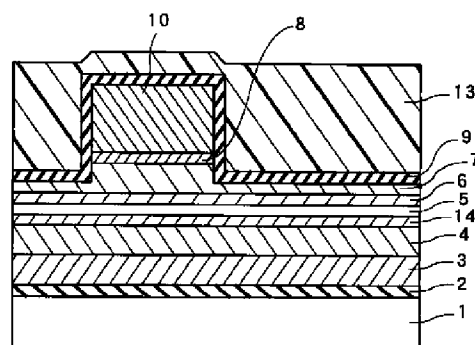
【図3】



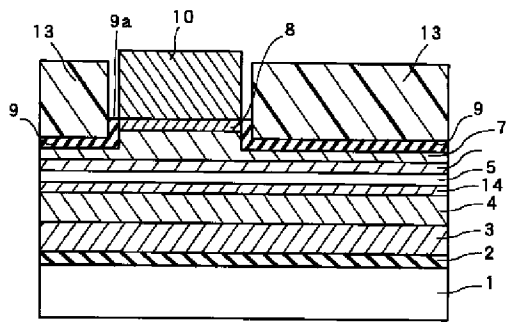
【図2】



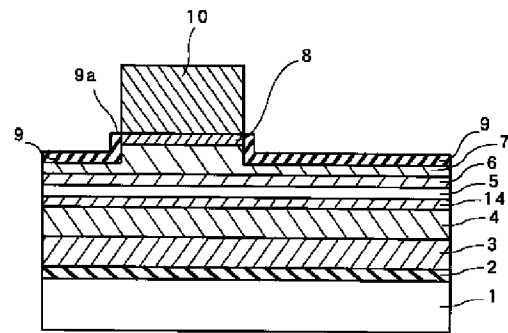
【図4】



【図5】

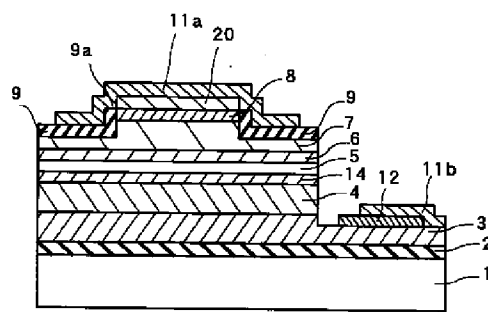


【図6】

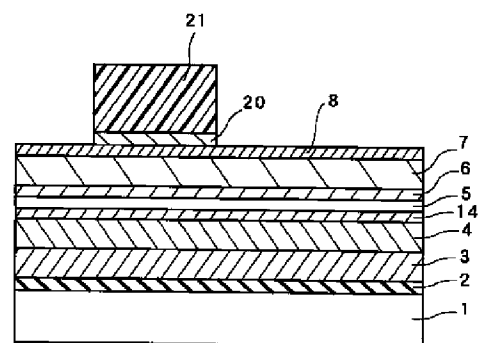


【図7】

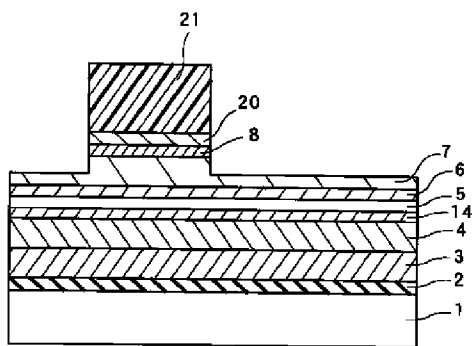
【図8】



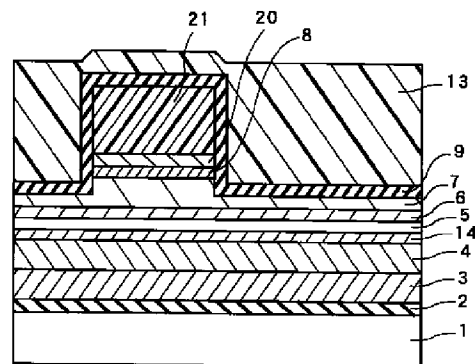
【図9】



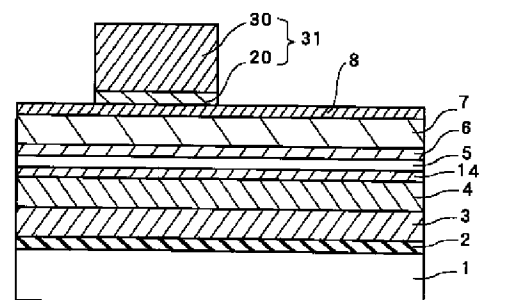
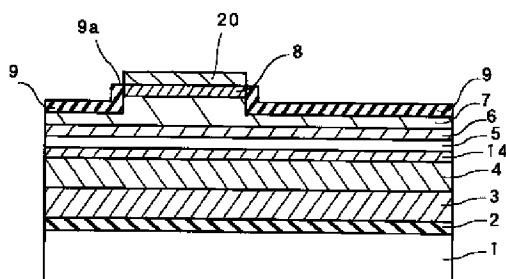
【図10】



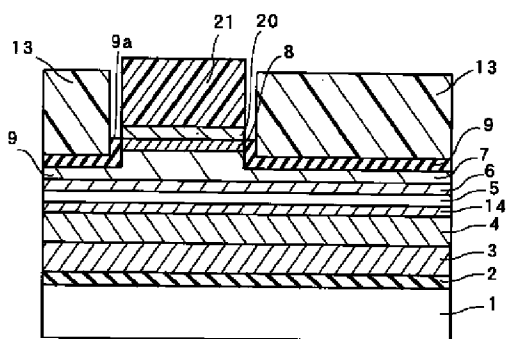
【図12】



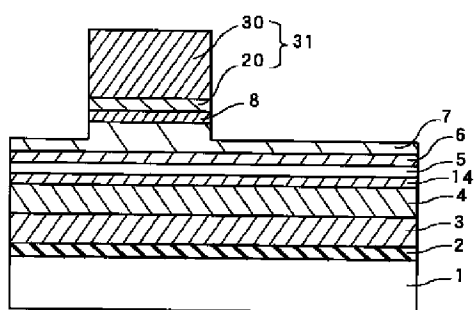
【図14】



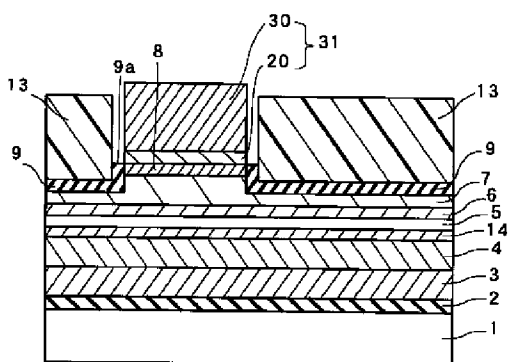
【図11】



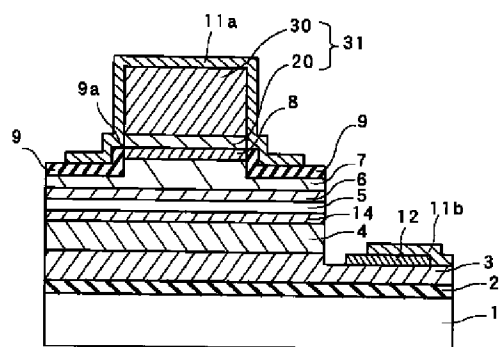
【図15】



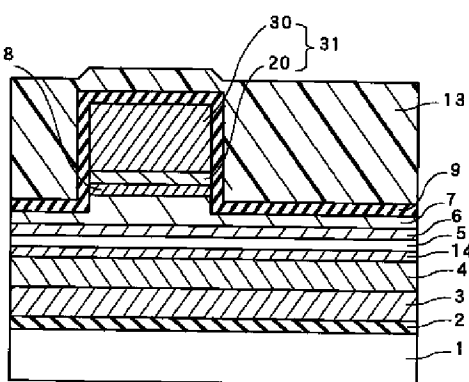
【図17】



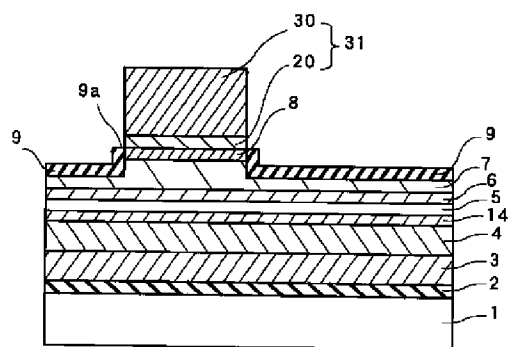
【図13】



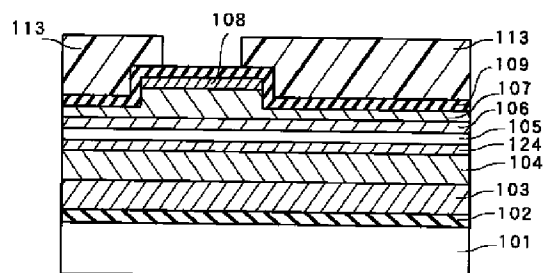
【図16】



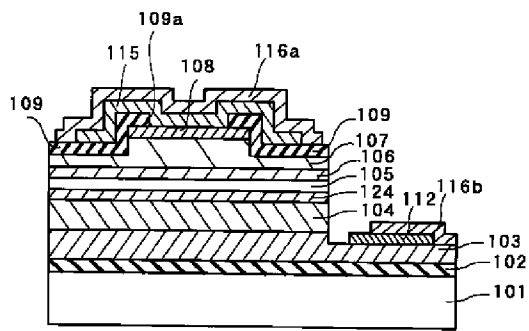
【図18】



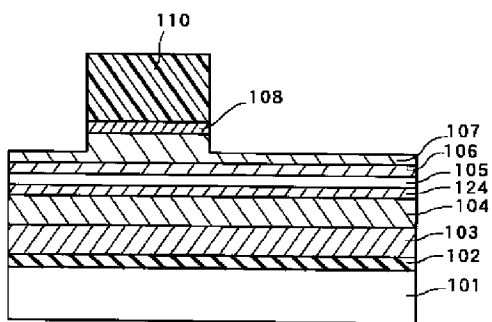
【図22】



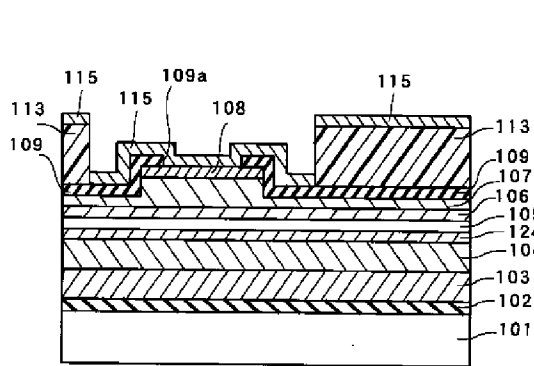
【図19】



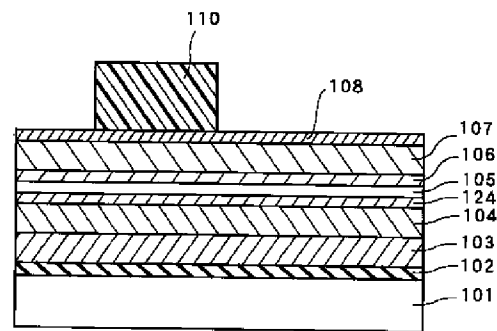
【図21】



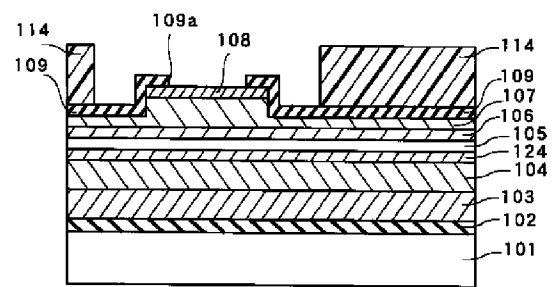
【図24】



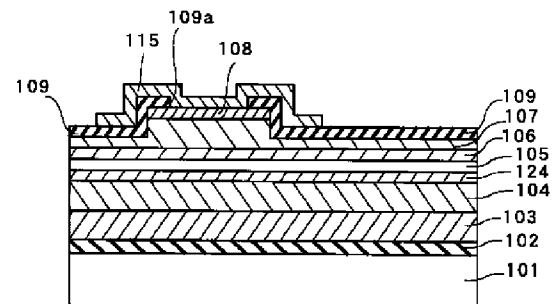
【図20】



【図23】



【図25】



フロントページの続き

(72)発明者 太田 潔
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 5F073 AA13 AA45 AA55 CA07 CB07
CB22 CB23 DA05 DA24 EA29